

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-246777

(43)Date of publication of application : 05.11.1991

(51)Int.Cl.

G06F 15/70

(21)Application number : 02-044886

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 26.02.1990

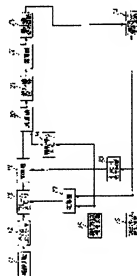
(72)Inventor : ISHIZAKA MASAOKI

(54) PATTERN RECOGNIZING DEVICE

(57)Abstract:

PURPOSE: To recognize a multigradation body by finding an offset level to be added on an input image and the segmenting position of an input picture element.

CONSTITUTION: An image signal from an image pickup device 11 is converted to a digital signal, and data of one frame is stored in a frame memory 13, and an offset value from an offset generation circuit 18 is added on the input image read out from the frame memory 13 at an adder 19. An area is segmented from the digital image based on a segmenting address, and the absolute value of difference is found at every picture element in which a segmented image corresponds to a reference pattern, and the offset level and the segmenting address in which an evaluation value adding the difference on all picture elements of the reference pattern can be minimized are calculated. In such a way, it is possible to recognize the multilevel gradation body including gradation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-246777

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月5日

G 06 F 15/70

4 5 5 A

9071-5L

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 パターン認識装置

⑯ 特 願 平2-44886

⑰ 出 願 平2(1990)2月26日

⑱ 発 明 者 石 坂 政 明 神奈川県横浜市中区綱島東4丁目3番1号 松下通信工業株式会社内

⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1008番地

⑳ 代 理 人 弁理士 粟野 重幸 外1名

明 細 書

従来の技術

1. 発明の名称

パターン認識装置

2. 特許請求の範囲

画像手段からの画像信号をデジタル画像データに変換して得た標準パターンを格納する手段と、画像に順次オフセットを加算する加算手段と、該加算手段からのデジタル画像から切出アドレスに基づいて領域を切出す手段と、前記切出された領域と標準パターンとの対応する画素毎に差分の絶対値を求める手段と、標準パターンの全画素について前記差分を加算した評価値を得る手段と、前記評価値が最小となるオフセットレベルと切出アドレスを算出する手段からなるパターン認識装置。

3. 発明の詳細な説明

従来の利用分野

本発明は、画像手段からの画像データにより対象物を検出するために必要なパターンを認識する装置に関する。

位置決めに必要なパターンの認識には、第5図に示したような装置が使用されている。

第5図において、図中符号32は、2次元配列で、テレビカメラ等の画像手段31からの対象物体の画像信号を定められた2次元レベルにより二値化し、1画面分の画像データを2次元画素メモリ33に格納させるものである。34は、標準パターンメモリで、2値の入力画像データから所定サイズ、この例では18×16画素の領域を切出して標準パターンとして記憶している。35は、切出アドレス発生回路で、2次元画素メモリ33のデータから比較対象となる領域を決定するための切出アドレスを順次発生するものである。36は導引アドレス発生回路で、2次元画素メモリ33、及び標準パターンメモリ34から所定サイズ「16×16画素」の領域をシフトさせるための導引アドレスを発生し、読出アドレスとして標準パターンメモリ34に出力する。37は、加算器で、切出アドレス発生回路35からの切出アドレスと導引アドレス発生回路36からの導引アドレスを

特開平3-246777 (2)

受け、両者の和を2値画像メモリ読出アドレスとして2値画像メモリ33に出力する。38は、比較回路で、2値画像メモリ33からの入力画像と、標準パターンメモリ34からの標準パターン画像と比較し、両者が同一値を持つ場合には「0」を、また相違する場合には「1」を出力する。38は累算器で、導引アドレス発生回路36が導引を開始する時点でリセットされ、比較回路38から出力される入力画像と、標準パターン画像の比較結果を、所定サイズ(16×16画素)の領域に亘って累算し、その値を評価値として保持する。40は、最小値保持回路で、切出アドレス発生回路35が入力画像の切出を開始する時点で、前番が持っている最小値がリセットされ、所定サイズ(16×16画素)の領域に導引が終了する毎に、累算器38が保持している評価値と比較し、累算器38の評価値の方が小さい場合には、累算器38の評価値に置換する一方、置換した場合に該置換パルスを出力する。41は、切出アドレス保持レジスタで、切出アドレス発生回路35の発生する切出アドレスを受け、最小値保持

回路40からの置換パルスを受けたり、切出アドレスを記憶する。

このような従来装置において、2値画像メモリ33からの2値の入力画像から認識対象となる特徴画素を標準パターンとして標準パターンメモリ34にセットしておく。

まず、第1の大きなループでの動作に先立って、切出アドレス発生回路35から最小値リセット信号を出力して最小値保持回路40に最小値を決定する。このような処理を終えた後で、切出アドレス発生回路35が出力する切出アドレスをX方向に64、Y方向に64の矩形の領域を導引するように変更しながら評価の最小値を求める。第1のループに於ける切出アドレスの一つに対して、導引アドレス発生回路36からの累算器リセット信号を出力して累算器38の評価値を「0」とする。

次に、第2のループの動作に入ると、導引アドレス発生回路36は、16×16画素の矩形を導引するように導引アドレスを発出する。この導引アドレスは標準パターンメモリ34の読出アドレスとなり、

標準パターンの左上隅の画素を示すアドレスから標準パターンの16×16画素を導引するように次々と出力されていく。

導引アドレスは、切出アドレス発生回路35から出力される切出アドレスと加算器37により加算されて2値画像メモリ読出アドレスに变换される。2値画像メモリ読出アドレスは、最初、2値の入力画像の切出アドレスから始まって、このアドレスを左上隅とする16×16画素の領域を導引するように次々と出力される。2値画像メモリ読出アドレスは、2値画像メモリ33に記憶されている入力画像の読出アドレスを決定させる。このようにして2値画像メモリ33から読出された入力画像は、比較回路38に出力される。

一方、標準パターン読出アドレスは、標準パターンメモリ34に出力され、標準パターンメモリ34に格納されている標準パターン画像の読出しのためのアドレスの決定に用いられる。標準パターンメモリ34から読出された標準パターン画像は、比

較回路38に出力され、先の2値画像メモリ33からの入力画像と比較され、比較結果が累算器38に出力される。

累算器38は、導引アドレス発生回路36の指示により、2値画像メモリ33と標準パターンメモリ34の16×16画素の領域の導引により、その1画素毎に比較回路38の出力を累算器38に加算する。2値画像メモリ33と標準パターンメモリ34の16×16画素の領域の導引が終了すると、累算器38に評価値が得られるから、この値を最小値保持回路40に出力する。

最小値保持回路40では、導引アドレス発生回路36からの評価ストロブ信号により評価値と最小値と比較し、評価値が小さい場合には最小値を評価値で更新して、置換パルスを切出アドレス保持回路41に出力する。

切出アドレス保持回路41では、切出アドレス発生回路35からの切出アドレスを置換パルスによって保持し、評価の最小値を出力したアドレスを記憶する。

特開平3-246777 (8)

2倍画素メモリ33と標準パターンメモリ34の16×16画素の掃引を行うループが終了して評価ストロブ信号15号により評価値と最小値を比較すると、切出アドレス発生回路35の出力する切出アドレスを次の値と比較して再び第1のループを実行する。

このようにして、切出アドレス発生回路35が出力する切出アドレスがX、Yそれぞれ64画素の矩形領域の掃引を行うと、第1のループを終了し、最小の評価値、及びこの最小値を得たX、Yの値が求められて、同時にその座標動作を終了する。

発明が解決しようとする課題

このように画像データを2倍化してから認識処理を行うため、2倍化のための適切な2倍化レベルを設定する必要があるばかりでなく、認識を合む多様な物体の認識に共通でできないという問題があった。

本発明はこのような問題に陥りておされたものであると、多様な物体の認識をも可能ならしめる拡張パターン認識装置を提供することである。

課題を解決するための手段

第1図は、本発明の実施例を示すものであって、図中符号21は、入/出コンパードで、テレビカメラ等の撮像装置11からの原信号をデジタル信号に変換し、上面部分のデータをフレームメモリ13に格納させる。14は、標準パターンメモリで、入力画像から所定サイズ、この実施例では16×16画素分の領域を抽出して標準パターンとして格納する。15は、切出アドレス発生回路で、フレームメモリ13の入力画像データから、標準パターンと比較するための領域を決定するための切出アドレスを逐次発生する。16は、掃引アドレス発生回路で、フレームメモリ13、及び標準パターンメモリ14から所定サイズ、例えば16×16画素の領域を掃引するための掃引アドレスを発生し、これを標準パターンメモリ14に出力する。17は加算器で、切出アドレス発生回路15からの切出アドレスと、掃引アドレス発生回路16からの掃引アドレスを受け、両アドレスの和をフレームメモリ14に出力する。

このような問題を解決するために本発明においては、撮像手段からの撮像信号をデジタル画像データに変換して得た標準パターンを格納する手段と、画像に相対オフセットを加算する加算手段と、該加算手段からのデジタル画像から切出アドレスに基づいて領域を抽出する手段と、前記抽出された画像と標準パターンとの対応する画素値に互分の絶対値を求める手段と、標準パターンの全画素について前記差分を加算した評価値を得る手段と、前記評価値が最小となるオフセットレベルと切出アドレスを算出する手段を備えるようにした。

作用

入力画像に加えるオフセットレベルと入力画像の抽出位置を求めることにより、濃度情報を含む標準パターンに最も近似した点を検出することができる。

実施例

そこで、以下に本発明の詳細を图示した実施例に基づいて説明する。

18はオフセット発生回路で、切出アドレス発生回路15が定められた抽出領域の掃引を終了する毎に発生するパルスにより1ずつ増加するオフセット値を出力する。19は、加算器で、フレームメモリ13から読出される入力画像にオフセット発生回路18からのオフセット値を加算する。20は乗算器で、加算器19から出力される入力画像とオフセット値の和から標準パターンメモリ14からの標準パターン画像を引算し、絶対値回路21に出力する。22は累算器で、掃引アドレス発生回路16が掃引を開始する時点で、リセットされ、絶対値回路21から出力される絶対値を16×16画素分の領域の掃引の総和、加算して絶対値として保持する。23は、最小値検出回路で、切出アドレス発生回路15が入力画像の抽出を開始する時点で、自身が保持している最小値をリセットされ、16×16画素の領域の掃引が終了する毎に累算器22が保持している評価値と自身の持つ最小値を比較する。評価値の方が小さい場合には最小値保持回路22の最小値を評価値で更新するとともに、置換したことを示す置換パ

特開平3-246777 (4)

ルスを出力する。24は、切出アドレス保持レジスタで、切出アドレス発生回路15からの切出アドレスを受け、最小値保持回路23が定規パルスを出力したときに、切出アドレスを記憶する。

次に、このように構成した装置の動作について説明する。

第1図は、前述したフレームメモリ13を示すものであって、X方向、Y方向にともに19画素を有しており、第2図に示したフレームメモリ読出アドレスが〔1〕のタイミングにおいては、第3図の〔1〕に示す $X=1$ 、 $Y=1$ を切出すためのアドレスを出力し、また第2図のフレームメモリ読出アドレスが〔2〕のタイミングでは、第3図の〔2〕に示す $X=2$ 、 $Y=1$ を切出アドレスを出力するということにより、切出アドレスを順次増加しながら、X方向に64、Y方向に64の範囲領域を掃引し、最後に第2図のフレームメモリ読出アドレスが〔4096〕のタイミングでは第3図の〔4096〕に示す $X=64$ 、 $Y=64$ の切出アドレスを出力する。このようにして、切出アドレスが決ると、この要

出アドレスを定上の画素とする16×16画素の領域が評価の対象となる。

次に、第1図に示した装置の動作をさらに詳説する。

入力画像から認識対象となる形状のうち、特徴をとらえた部分を標準パターンとして標準パターンメモリ14にセットしておく。この実施例では、オフセット経を決定しながら評価の最小値を求めると第1の大きなループと、フレームメモリ13の切出アドレスを変更しながら評価の最小値を求める第2の中ループと、フレームメモリ読出アドレス、及び標準パターンメモリ14の読出アドレスを掃引しながら評価値を求める第3のループの動作に分かれており、第3のループは第2のループに、また第2のループは第1のループに含まれている。

第1のループの動作に先立って、切出アドレス発生回路15は、最小値リセット信号を最小値リセット保持回路23に出力して、最小値を定常な値にセットする。同時にオフセット発生回路18からのオフセット値を「9」として第1ループ、第2ル

ープの動作に入る。

第1の大きなループにおいては、オフセット発生回路18が出力するオフセット値を第2図〔1〕に示したように1ずつ増加させながら評価の最小値を求める。第2のループでの動作は、切出アドレス発生回路15が出力する切出アドレスを、第2図、第3図に示したようにX方向に64、Y方向に64の範囲の領域を掃引するように変更しながら評価の最小値を求める。第2のループにおける切出アドレスの1つに対して第2図に示したように、掃引アドレス発生回路18から算算器リセット信号〔E〕を出力して算算器22の評価値を「0」にする〔1〕。

次に第2のループの動作に入り、掃引アドレス発生回路15は、16×16画素の領域を掃引するように掃引アドレスを発生する。この掃引アドレスは、標準パターンメモリ読出用のアドレスとなり、最初に標準パターンの左上隅の画素を示すアドレスから始まって、標準パターンの16×16の領域を掃引するように次々と出力される。この掃引アドレ

スは、加算器17により切出アドレス発生回路15からの切出アドレスと加算され、フレームメモリ13の読出アドレスになる。このフレームメモリ読出アドレスは、最初、入力画像の切出アドレスから始まって、このアドレスを定上隅とする16×16画素を掃引するように次々と出力される。このフレームメモリ読出アドレスは、フレームメモリ13に送られ、ここで格納されている入力画像の読出アドレスを決定するのに用いられる。このようにしてフレームメモリ13から読出された入力画像はオフセット回路18からのオフセット値と加算器19により加算されて画素20に出力される。

一方、標準パターン読出アドレスは、標準パターンメモリ14に送られ、標準パターンメモリ14に記憶されている標準パターン画像〔第4図〕の読出アドレスの決定に使用される。このようにして標準パターンメモリ14から読出された標準パターン画像は、画素20に送られ、加算器19からの入力画像からこの標準パターン画像が差引かれて絶対差回路21に出力される。絶対差回路21は、入力

特開平3-246777 (5)

画像と標準パターン画像の差分画像の絶対値を累算器22に出力する。累算器22は、挿引アドレス発生回路16からのアドレスによりフレームメモリ13と標準パターンメモリ14の16×16画素の領域の開引に基づいて、その1画素毎に差分画像の絶対値を自身の値に加算する。

フレームメモリ13と標準パターン14の16×16の
領域の引当が終了すると、位置座標22には評価値が
採られることになるから、この値を最小値保持
回路23に格納させる。最小値保持回路23は、引
当アドレス発生回路16からの評価ストローブ信号
〔第2圖〕により評価値と、直前の最小値とを
比較し、評価値の方が小さいときには評価値を更
換し、同時に置換パターンを切出アドレス保持回路
23に出力する。切出アドレス保持回路23は、切出
アドレス発生回路15からの切出アドレスと置換パ
ターンに基づいて保持し、評価の最小値を評定切出
アドレスを記憶する。

フレームメモリ15と標準パターンメモリ14の16×16画素の領域の再引を行う第3のループの動

が終了して評価スループット値により評価値と最小値の比較を行うと、切出アドレス発生範囲15に切出アドレスを次の範囲に設定して第2のループの実行を続ける。切出アドレス発生範囲15からの切出アドレスが、X、Y それぞれ16の近距離帯の算出を完了すると、第2のループの動作が終了したことになり、1つのソフトウェア値に対する最小の評価値が算出されることになる。第2のループの動作が終了すると、ソフトウェア発生範囲18からのソフトウェア値「1」だけ増加させて第1のループの実行を続ける。ソフトウェア発生範囲18から出力するソフトウェア値が所定値、この実施例では「3」に達した時点で、第1のループの動作を終了して、ソフトウェア値毎の動作に対する最小の評価値と、この値を得たX、Yのアドレスを求めて評価動作を完了する。

から「3」まで正の値として変化させる場合に割を誤って説明したが、負から正に変化、例えば「-5」から「5」に変化させるようにすれば、暗黙知を拡大して正確なパターン認識を行うことができる。

また、この実験例においては、入力画像と変換パターン画像の差分の絶対値を用いているが、相乗値を用いるようにしても同様の作用効果を要することは明らかである。

飛明の勳長

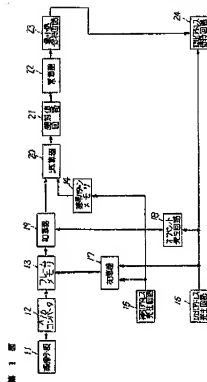
以上、説明したように本発明においては、画像系からの画像信号をデジタル画像データに変換して得た標準パターンを格納する手段と、画像に順次オフセットを加算する推算手段と、該推算手段からのデジタル画像毎の切出アドレスに基づいて該標準を切出す手段と、前記切出された画像と標準パターンとの対応する画素毎に差分の絶対値を求め、標準パターンの全画素について前記差分値を加算した評価値を得る手段と、前記評価値が最小となる評価レベルとを算出する手段とを備える。

4. 図面の簡単な説明

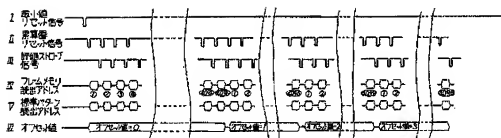
第1図は本発明の一実施例を示す装置のプロット図、第2図、第3図は同上装置の動作を示すタイミング図と、フレームメモリ上の画像配置抽出アドレスの関係を示す説明図、第4図は様式パターンメモリ上の通常配置を示す説明図、及び第5図は能率のパターン認識装置の一例を示すブロック図である。

11……画像手段、12……A/Dコンバータ、13
……フレームメモリ、14……標準ボタンメモリ、

代理人の氏名 弁護士 関野重幸 ほか1名



第 2 章



特開平3-246777 (7)

